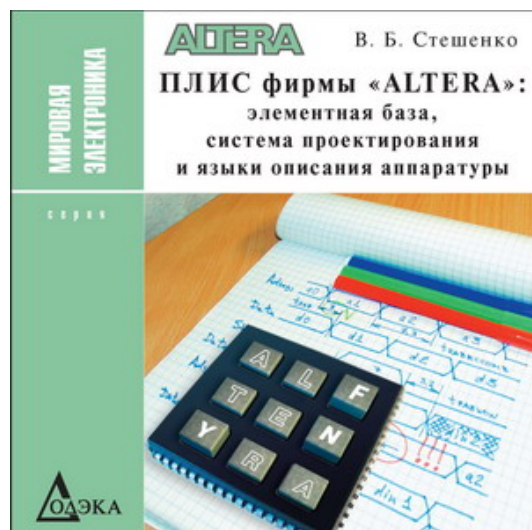


Издательство «Додэка-XXI» представляет новую книгу



ПЛИС фирмы ALTERA: Элементная база, система проектирования и языки описания аппаратуры 3-е изд. на CD

Автор:	В. Б. Стешенко
Издательство:	«Додэка-XXI»
ISBN:	978-5-94120-112-9
Объем:	
Формат:	
Тираж	800
Дата выпуска:	Декабрь 2006г.

В книге рассмотрены вопросы практического применения ПЛИС фирмы Altera при разработке цифровых устройств. Приведены краткие сведения об особенностях архитектуры и временных параметрах устройств. Рассмотрены САПР MAX+PLUS II и Quartus, языки описания аппаратуры AHDL, VHDL, VERILOG HDL. Приводятся примеры описания цифровых устройств на языках высокого уровня, а также примеры реализации некоторых алгоритмов. Приведены сведения о современных интерфейсах передачи данных, даны рекомендации по разработке печатных плат.

Цель книги — помочь начинающему разработчику в выборе элементной базы и дать представление о технологии проектирования устройств на ПЛИС..

Оглавление

Глава 1. Элементная база

1.1. Семейство MAX3000 - 19

- 1.2. Семейство FLEX6000 - 33
- 1.3. Семейство MAX7000 - 46
- 1.4. Семейство FLEX8000 - 53
- 1.5. Семейство MAX9000 - 58
- 1.6. Семейство FLEX10K - 65
- 1.7. Семейство APEX20K - 78
- 1.8. Семейство Mercury - 85
- 1.9. Семейство ACEX - 102
- 1.10. Конфигурационные ПЗУ - 104
- 1.11. Программирование и реконфигурирование в системе - 110

Глава 2. Система проектирования MAX+PLUS II

2.1. Общие сведения - 115

- 2.2. Процедура разработки проекта - 121
- 2.3. Редакторы MAX PLUS II - 140
- 2.4. Процесс компиляции - 154
- 2.5. Верификация проекта - 162

Глава 3. Язык описания аппаратуры AHDL

3.1. Общие сведения - 167

- 3.2. Использование чисел и констант в языке AHDL - 171
- 3.3. Комбинационная логика - 172
- 3.4. Последовательностная логика - 184

- 3.5. Цифровые автоматы с памятью (state mashine) - 187
- 3.6. Реализация иерархического проекта - 196
- 3.7. Управление синтезом - 203
- 3.8. Элементы языка AHDL - 205
- 3.9. Синтаксис языка AHDL - 229

Глава 4. Язык описания аппаратуры VHDL

- 4.1. Общие сведения - 243
 - 4.2. Алфавит языка - 246
 - 4.3. Типы данных - 248
 - 4.4. Операторы VHDL - 261
 - 4.5. Интерфейс и тело объекта - 266
 - 4.6. Описание конфигурации - 274
 - 4.7. Векторные сигналы и регулярные структуры - 275
 - 4.8. Задержки сигналов и параметры настройки - 277
 - 4.9. Атрибуты сигналов и контроль запрещенных ситуаций - 279
 - 4.10. Алфавит моделирования и пакеты - 280
 - 4.11. Описание монтажного «ИЛИ» и общей шины - 283
 - 4.12. Синтезируемое подмножество VHDL - 285
 - 4.13. Краткое описание синтаксиса синтезируемого подмножества VHDL - 343

Глава 5. Язык описания аппаратуры Verilog HDL

- 5.1. Общие сведения - 363
 - 5.2. Операторы - 365
 - 5.3. Числа в Verilog - 365
 - 5.4. Цепи в Verilog (Nets) - 367
 - 5.5. Регистры (Registers) - 367
 - 5.6. Векторы (Vectors) - 369
 - 5.7. Массивы (Arrays) - 370
 - 5.8. Регистровые файлы (Memories) - 370
 - 5.9. Элементы с третьим состоянием (Tri-state) - 370
 - 5.10. Арифметические операторы (Arithmetic operators) - 372
 - 5.11. Логические операторы (Logical operators) - 373
 - 5.12. Операторы отношения (Relational operators) - 374
 - 5.13. Операторы эквивалентности (Equality) - 374
 - 5.14. Поразрядные операторы (Bitwise operators) - 375
 - 5.15. Операторы приведения (Reduction operator) - 376
 - 5.16. Операторы сдвига (Shift operator) - 377
 - 5.17. Конкатенация (объединение, Concatenation) - 377
 - 5.18. Повторение (Replication) - 378
 - 5.19. Системные директивы (System tasks) - 378
 - 5.20. Проектирование комбинационных схем, пример проектирования мультиплексора 4 в 1 - 382
 - 5.21. Модули проекта (Design blocks modules) - 390
 - 5.22. Порты (Ports) - 393
 - 5.23. Правила соединения (Connection rules) - 394
 - 5.24. Базовые блоки (Basic blocks) - 395
 - 5.25. Пример проектирования последовательностного устройства: двоичный счетчик - 396
 - 5.26. Временной контроль (Timing Control) - 402
 - 5.27. Защелкивание (triggers) - 403
 - 5.28. Список сигналов возбуждения (sensitivity list) - 404
 - 5.29. Задержка распространения в вентиле (Gate delays) - 404
 - 5.30. Операторы ветвления (Branch statements) - 404
 - 5.31. Циклы (Looping constructs) - 407
 - 5.32. Файлы в Verilog - 409

- 5.33. Задание векторов входных сигналов для моделирования (Verilog input vectors) - 412
- 5.34. Список операторов Verilog - 414
- 5.35. Приоритет операторов - 415
- 5.36. Ключевые слова (keywords) - 415
- 5.37. Директивы компилятора - 416
- 5.38. Типы цепей (Net types) - 416

Глава 6. Примеры проектирования цифровых устройств с использованием языков описания аппаратуры VHDL и Verilog

- 6.1. Общие сведения - 417
 - 6.2. Триггеры и регистры - 418
 - 6.3. Построение устройств потоковой обработки данных (Datapath logic) - 431
 - 6.4. Счетчики - 439
 - 6.5. Арифметические устройства - 443
 - 6.6. Конечные автоматы (Finite state machine) - 449
 - 6.7. Элементы ввода-вывода - 459
 - 6.8. Параметризация - 464
 - 6.9. Специфика проектирования устройств с учетом архитектурных особенностей ПЛИС - 466
 - 6.10. Совместное использование ресурсов - 468
 - 6.11. Дублирование регистра - 473
 - 6.12. Создание описаний с учетом особенностей архитектуры ПЛИС (Technology Specific Coding Techniques) - 476

Глава 7. Примеры реализации алгоритмов ЦОС на ПЛИС

- 7.1. Реализация цифровых фильтров на ПЛИС семейства FLEX фирмы Altera - 485
 - 7.2. Реализация цифровых полиномиальных фильтров - 491
 - 7.3. Алгоритмы функционирования и структурные схемы демодуляторов - 495
 - 7.4. Реализация генератора ПСП на ПЛИС - 500
 - 7.5. Примеры описания цифровых схем на VHDL - 506
 - 7.6. Реализация нейрона на AHDL - 516
 - 7.7. Построение быстродействующих перемножителей - 529

Приложения

Приложение 1. Система проектирования Quartus - 535

Приложение 2. Интерфейсы передачи данных и сопряжение устройств - 537

Приложение 3. Практические рекомендации по разработке печатных плат - 568

